

Ref. 4

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

Publication number: JP2003077900

Publication date: 2003-03-14

Inventor: MORI MASASHI; ITABASHI NAOSHI; IZAWA MASARU

Applicant: HITACHI LTD

Classification:

- International: H01L21/28; H01L21/302; H01L21/3065; H01L21/311; H01L21/3213; H01L29/423; H01L29/43; H01L29/49; H01L29/78; H01L21/02; H01L29/40; H01L29/66; (IPC1-7): H01L21/3065; H01L21/28; H01L29/43; H01L29/78

- European: H01L21/28E2B30; H01L21/311C2B; H01L21/3213C4B; H01L21/3213C4B2; H01L21/3213D

Application number: JP20010269636 20010906

Priority number(s): JP20010269636 20010906

Also published as:



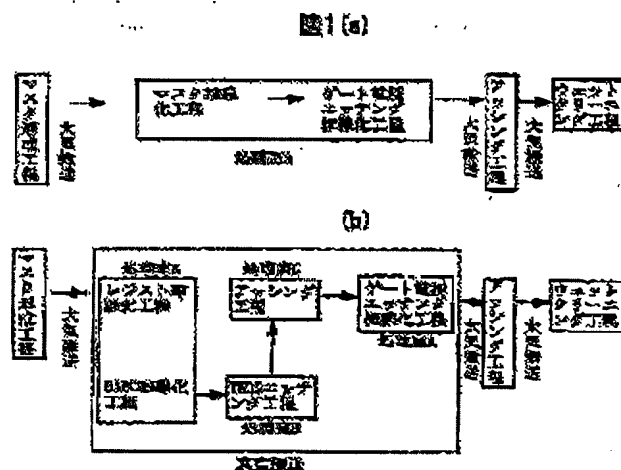
US6673685 (B2)

US2003049876 (A)

Report a data error he

Abstract of JP2003077900

PROBLEM TO BE SOLVED: To provide an etching method for inexpensively working a gate electrode in the size of not more than 50 nm, which exceeds an exposure limit, with high yield. **SOLUTION:** The problem for thinning a resist in line with miniaturization, the problem of a lack in thinning amount due to the pull-out of a base in gate electrode thinning and the problem on the complication of a semiconductor manufacture process when special mask structure and gate structure are used are solved by using the gate electrode thinning of high resist selectivity and thinning in mask formation. Thus, the problem of foreign matters and contamination, which are main causes for dropping yield and which occur in transfers in between devices, is solved by performing a thinning process and a dry- cleaning process in a vacuum. The water absorption of halogenated hydrogen compound remaining in dry-etching is prevented. Wetting cleaning is omitted or simplified, and the problem on the drop of throughput and the increase of cleaning solution COO due to the insertion of a cleaning process is solved. Then, a dimensional inspection process or a contamination inspection process is also performed in vacuum.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-77900

(P2003-77900A)

(43)公開日 平成15年3月14日(2003.3.14)

(51)Int.Cl.⁷

識別記号

F I

デマコト*(参考)

H 0 1 L 21/3065

H 0 1 L 21/28

F 4 M 1 0 4

21/28

21/302

J 5 F 0 0 4

29/43

29/78

3 0 1 C 5 F 1 4 0

29/78

29/62

G

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号 特願2001-269636(P2001-269636)

(22)出願日 平成13年9月6日(2001.9.6)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 森 政士

東京都国分寺市東壱ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 板橋 直志

東京都国分寺市東壱ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

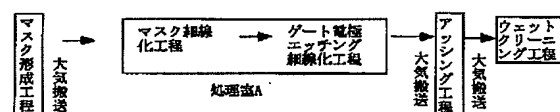
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

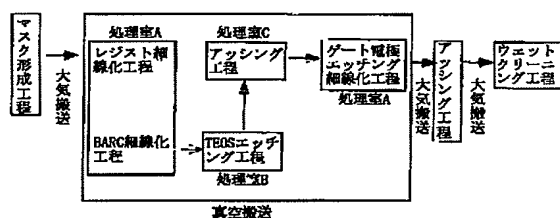
【課題】露光限界を超えた50nm以下の寸法のゲート電極加工を低コスト、高歩留まりで実現するエッチング方法を提供する。

【解決手段】微細化に伴うレジストの薄膜化の問題とゲート電極細線化での下地剥けに起因する細線化量不足の問題、特殊なマスク構造、ゲート構造を用いた場合での半導体製造工程の複雑化の問題は、レジスト選択性の高いゲート電極細線化とマスク形成における細線化を併せて使用することで解決する。また、それらの細線化工程、ドライクリーニング工程を真空内で行うことで、歩留まりを低下させる主原因である装置間搬送で発生する異物、汚染の問題を解決し、ドライエッチングで残留するハロゲン化水素化合物の吸水を防止し、ウェット洗浄の省略、もしくは簡素化して、洗浄工程挿入によるスループットの低下や洗浄溶液CO₂増加の問題を解決する。さらに、寸法検査工程または、汚染検査工程も真空内で行う。

図1(a)



(h)



【特許請求の範囲】

【請求項1】ゲート電極を形成する膜上に、マスク層を形成した後、回路パターンをマスク層に転写する露光工程と、該マスク層の開口寸法を露光工程完了の寸法より縮小するマスク細線化工程と、前記マスク寸法より小さいゲート電極を形成するゲート電極エッチング細線化工程とから構成される半導体装置製造方法であって、前記マスク細線化工程と前記ゲート電極エッチング細線化工程とを同一処理室内で異なる条件で行うことを特徴とする半導体装置の製造方法。

【請求項2】ゲート電極を形成する膜上に、マスク層を形成した後、回路パターンをマスク層に転写する露光工程と、該マスク層の開口寸法を露光工程完了の寸法より縮小するマスク細線化工程と、前記マスク寸法より小さいゲート電極を形成するゲート電極エッチング細線化工程とから構成される半導体装置製造方法であって、前記マスク細線化工程と前記ゲート電極エッチング細線化工程とを異なる処理室で行い、処理室間の搬送を真空内で行うことを特徴とする半導体装置の製造方法。

【請求項3】請求項1、または請求項2記載の半導体装置の製造方法において、アッシング工程が付加され、かつ、前記マスク細線化工程と前記ゲート電極エッチング細線化工程と前記アッシング工程とを同一処理室内で異なる条件で行う、または、前記マスク細線化工程と前記ゲート電極エッチング細線化工程と前記アッシング工程のうち少なくとも2工程を異なる処理室で行い、処理室間の搬送を真空内で行うことを特徴とする半導体装置の製造方法。

【請求項4】請求項1乃至請求項3のいずれかの請求項記載の半導体装置の製造方法において、ドライクリーニング工程が付加され、前記マスク細線化工程と前記ゲート電極エッチング細線化工程と前記アッシング工程と前記ドライクリーニング工程とを同一処理室内で異なる条件で行う、または前記マスク細線化工程と前記ゲート電極エッチング細線化工程と前記アッシング工程と前記ドライクリーニング工程のうち少なくとも2工程を異なる処理室で行い、処理室間の搬送を真空内で行うことを特徴とする半導体装置の製造方法。

【請求項5】請求項1乃至請求項4のいずれかの請求項記載の半導体装置の製造方法において、前記マスク細線化工程と前記ゲート電極エッチング細線化工程と前記アッシング工程と前記ドライクリーニング工程との間に大気に晒すことなく加工寸法、異物、または汚染量を測定し、その測定結果に基づき、後に続く工程の条件を調整することを特徴とする半導体装置の製造方法。

【請求項6】請求項1乃至請求項5のいずれかの請求項記載の半導体装置の製造方法において、形成されたゲート電極が、ゲート電極上部の寸法より小さいゲート長を有し、前記ゲート電極上部の寸法をマスクとしてソース又はドレイン領域の一部となる高濃度拡散層を基板上に

形成する工程と、前記ゲート電極に隣接してソース又はドレイン領域となる低濃度拡散層を形成する工程とが連続工程であることを特徴とする半導体装置の製造方法。

【請求項7】請求項1乃至請求項6のいずれかの請求項記載の半導体装置の製造方法において、形成されるゲート寸法が50nm以下であることを特徴とする半導体装置の製造方法。

【請求項8】請求項1乃至請求項6のいずれかの請求項記載の半導体装置の製造方法において、マスク形成工程後のレジスト膜厚が、 $(4 \times (\text{被エッチング膜厚}) + 20 + (\text{細線化量}) \times 3)$ 以下であることを特徴とする半導体装置の製造方法。

【請求項9】請求項1乃至請求項6のいずれかの請求項記載の半導体装置の製造方法において、マスク形成工程後のレジスト膜厚が、 $(2 \times (\text{被エッチング膜厚}) + 20 + (\text{細線化量}) \times 3)$ 以下であることを特徴とする半導体装置の製造方法。

【請求項10】請求項1乃至請求項6のいずれかの請求項記載の半導体装置の製造方法において、マスク形成工程後のレジスト膜厚が、 $(2 \times (\text{ゲート電極の膜厚}) + 20 + (\text{無機系反射防止膜の膜厚}) \times 2.4)$ 以下であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリまたはシステムLSIに代表される半導体装置の製造方法にかかわり、特に、リソグラフィ解像限界を超えた50nm以下のCMOSのゲート電極加工を高歩留りで量産する半導体装置の製造方法に関する。

【0002】

【従来の技術】半導体装置の中には、DRAM等に代表されるメモリと、マイクロプロセッサ(MPU)に代表されるロジックLSIまたは、システムLSIが存在する。半導体装置の製造工程の一つであるゲート電極形成工程は、ゲート絶縁膜とゲート電極膜を成膜する工程の後、回路パターンをマスク層に転写するマスク形成工程とゲート電極膜をエッチングにより加工するゲートエッチング工程とレジストや残留ハロゲンガスを除去するアッシング工程、エッチング異物や変質物を除去する洗浄工程から形成されるのが一般的である。そして、ゲート電極形成工程の後、ソース/ドレイン形成工程が行われる。成膜工程の詳細はゲート電極の構造により異なるが、一般的なゲート構造としては、ゲート絶縁膜に薄膜 SiO_2 、ゲート電極材料としてn-polySi、p-polySiの単層膜ゲートや、もしくは、WSi/PolySiやW/WN/PolySi等の多層膜ゲートが使用されている。これらの膜をエッチングで加工する場合、回路パターンを転写したエッチングマスクが必要である。マスク形成工程においては、解像ピッチとライン寸法によってマスク層の種類、膜厚が異なる。例えば、0.5mmのテクノロジーノードでは、Hg 1線(波長36

5nm)の露光装置を用いて感光材(レジスト)のみで十分だったが、0.18mmノードではKrFレーザ(波長248nm)と位相シフトマスク等の超解像技術を備えた露光装置を用い、かつレジストの下層に反射防止膜を備えた多層マスク構造が必須となっている。この反射防止膜には、有機系反射防止膜(BARC)、無機系反射防止膜(BARL)の2種類が使用される。エッチングマスクとして、レジスト201/BARC202を使用した露光完了直後のPolySi203/SiO₂204膜から成るサンプル断面形状を図2(a)、エッチングマスクとして、レジスト201/BARL207を使用した露光完了直後のPolySi203/SiO₂204膜から成るサンプル断面形状を図2(b)に示す。BARC膜202はレジスト同様、スピナーで塗布され、シャロートレンチ素子分離(STI)206を用いた素子分離工程で発生する段差209を平坦化することが出来るため、焦点深度が小さい高解像露光に適している反面、BARCエッチング時で膜厚が薄い部分210と厚い部分211でオーバーエッチ量が異なるため、BARCエッチにおける寸法制御を困難にするというデメリットがある。一方、BARL膜207は、Si、O、N元素で構成され、CVDを用いて成膜される。下地段差に沿った均等な膜厚で成膜可能であるため、ドライエッチングにとっては、膜厚が均等なため、オーバーエッチ量も均等になり、BARLエッチでの寸法制御が容易だが、露光装置にとっては、焦点深度とのトレードオフとなるため解像度が劣化するというデメリットがある。マスク形成方法としては、レジスト層201/BARC層202、または、レジスト層201/BARL層207を成膜しておき、露光後、BARC層202、またはBARL層207をドライエッチングによりパターン転写する方法が一般的である。また、別のゲートエッチングのマスクとして、ゲート加工時の寸法精度向上とゲート絶縁膜との選択性向上のため、ゲート電極エッチ時に有機物を使用しないマスク(ハードマスク)を用いる方法がある。ハードマスクには、TEOS、HLD等のSiO₂膜やSiN膜が使用される。このハードマスクを用いたサンプルの露光終了直後のサンプル断面構造を図2(c)に示す。マスク形成方法は、レジスト層201/BARC層202/TEOS層208を成膜しておき、露光後、BARC層202とTEOS層208をドライエッチングによりパターン転写した後、アッシング装置にてレジスト201とBARC層202を除去するという方法が一般的である。ここで使用されるドライエッチング、アッシングは、それぞれ専用の装置を用いて行われている。マスク形成工程、並びにゲートエッチング工程で使用されるドライエッチングは、真空容器内で、反応性ガスをプラズマ化し、プラズマ中のイオンと中性ラジカルによるイオンアシスト反応を利用する方法が広く使用されている。プラズマを生成する手段として、真空容器内に導入したエッチング用ガスに電磁波を照射し、そのエネルギーによってガスを解離させる方法が一般的である。代表的なプラズマ源として、容量結合型プラズマ(CCP: capacitive coupled plasma)、誘導結合型プラズマ(ICP:

inductive coupled plasma)、ECR(electron cyclotron resonance)プラズマが存在する。このCCP、ICP、ECRに使用される電磁波は、13.56MHz、27MHz、ECRの場合は、2.45GHzの μ 波や450MHz等のUHF波が使用されている。このような機構を備えたドライエッチング装置を用いて被エッチング膜の寸法を制御するためには、プラズマの特性を決定するエッチングガス種や処理圧力や電磁波のパワー、化学反応の特性を決定する試料設置温度、イオンを試料にひきこむRFバイアスのパワー等の装置パラメータを調節する方法によって達成する。マスク形成工程やゲートエッチング工程では、異なる膜種をエッチングする必要があるが、その場合、エッチング反応に適したガスと適した装置を選択することで達成している。例えば、マスク形成工程で使用されるBARCエッチングの場合、通常はCCPプラズマエッチング装置を用いて、O₂にCF₄やN₂を添加したり、希釈ガスとしてArを添加したガスをプラズマ化したりして、処理する。また、BARLやSiO₂エッチングは、CCPプラズマエッチング装置を用いて、C₄F₈、C₆F₈等のフルオロカーボンガスにO₂、COにAr希釈をしたガスをプラズマ化して処理する。ゲート電極エッチングの場合、ICP、ECRプラズマエッチング装置を用いて、WやWSi層は、CF₄やSF₆にCl₂、N₂、O₂を添加したガス、PolySi層には、Cl₂、HBr、NF₃にO₂やHeを添加したガスをプラズマ化する方法が多く使用される。レジスト除去やエッチング時の残留ハロゲン除去するアッシング工程には、ICP、 μ 波等でO₂プラズマを生成し、試料温度で反応を制御する方法や常圧でO₃を発生させて処理する方法が多く利用されている。また、レジスト反応速度を増加させる目的でO₂にCF₄やCHF₃等のフルオロカーボンガスを添加する場合もある。エッチング工程での異物や汚染を除去する洗浄工程は、溶液を用いたウェット洗浄が主流である。溶液として、NH₄OH/H₂O₂、HCl/H₂O₂水溶液やHF溶液が用いられる。発生する汚染の種類に応じて混合比、時間、溶液温度等を調整して使用される。ゲート電極形成工程の後に行われるソース/ドレイン形成工程は、概略的には、図3(a)に示すように、ゲート電極自体をマスクにしてイオンを打ち込み低濃度拡散層304を形成したのち、サイドウォールスペーサ307を成膜、エッチングにより形成したのち、図3(b)に示すようにイオンを打ち込み、高濃度拡散層308を形成するという方法が使用されている。上記のようにして形成されるゲート電極形成工程においては、低消費電力、高速化の要求により、年々、微細化が進行している。表1に示すように、最近のITRS(International Technology Roadmap for Semiconductor) 2000(SC.2)によると、テクノロジーノード(T.N)は、昨年度版よりさらに微細化されることが明記されている。

【0003】

【表1】

表1

	1999	2000	2001	2002	2003	2004	2005
T.N 1999年版	180nm			130			100
I.N 2000(S.C2)	180nm		130		100		
MPUゲート長 2000(S.C2)			90		70		
MPUゲート長 先進メーカ	130nm		70		50		35

さらに、先進的な半導体メーカにおいては、本ロードマップの前倒しを進めており、2001年で70nm、2003年で50nmのゲート長の製品を出荷することを目標としている。ここで、微細化するゲート長とその時の露光寸法の推移を図4に示す。このように、2003年においては、露光寸法401が100nmに対してMPUゲート長402が50nmと50nm細線化する必要がある。図4(a)のグラフは、2003年以降は、次世代技術とされるArFレーザ(193nm)を用いた露光技術場合の露光寸法であるが、現在、レジスト材料を含めた露光特性や装置価格に課題があり、現在のところ実用化はされていない。そこで、従来では、各半導体メーカでは、既存の露光装置で露光したものを、エッチング装置を用いて細線化したり、マスク構造やプロセスフローの工夫により細線化するという方法で露光限界以下の寸法形成の要求に対応してきた。例えば、図2(a)(c)のようなBARC膜を使用したゲート電極加工を行う際、BARCエッチ時にレジストとBARCマスクを同時に細線化してきた。BARCはレジストと似た組成であるため、BARCエッチングに使用されるガス(O_2 、 CF_4 、 N_2 、Arの混合ガス)プラズマで、レジストも同時に細線化することが出来た。別の細線化方法として、マスク構造やプロセスフローの工夫による方法、レジスト細線化をする方法、ゲート電極で細線化する方法が存在する。マスク構造やプロセスフローの工夫による方法としては、特開平6-209018、特開平5-136402に開示されている。特開平6-209018は、 SiO_2 ダミーL/Sを形成し、成膜工程とサイドエッチングを用いて微細ゲートを作成する方法、特開平5-136402は、多層マスクを形成し、特定のマスク層をサイドエッチングにより細線化する方法である。また、特開平8-78400には、レジスト細線化に SF_6 を使用することで、レジストとゲート電極を同一処理室、同一処理条件にて、同時に細線化する技術が開示されている。また、図2(b)に示したBARL膜を使用した場合、ICPまたは O_3 アッシング装置を用いてレジストを直接細線化する方法がとられる。ゲート電極で細線化する方法は、 W Si/polySi多層ゲートにおける細線化方法が特開平7-22396に開示されている。そして、近年になって、単層のゲート電極を細線化する技術も発表されてきた。例えば、ゲート電極の細線化方法として、下地酸化膜との界面付近でノッチを形成する方法(IEDM1999、応用物理学会2001春)、 O_2 に

よる保護膜形成ステップとサイドエッチステップを利用する方法(ドライプロセスシンポジウム2000)等、HC1、HBr等のHを含むガスにて、ノッチを形成する方法(ICMI2001)が発表されている。

【0004】

【発明が解決しようとする課題】図4に示したように露光寸法401が推移していく場合、露光に必要なレジスト膜厚も薄くしなくてはならない。微細パターンの露光に必要なレジスト膜厚の推移を図4(b)に示す。寸法100nmのラインを解像させるためには、レジスト膜厚は300nm以下と薄膜化が必要である。これは、露光後の現像液の表面張力によるパターン倒れを回避する目安として、レジストの膜厚がおおよそ解像寸法の約3倍以下とされているからである。しかし、反射防止膜は、光源の波長に対する吸収、干渉の物性で膜厚が一義的に決定されるため、図4のように微細化が進行しても厚さ方向に変化はない。同様に、ゲート電極に必要な厚さも、ドーパント打ち込み電圧低減の限界や、熱拡散によるドーパントのゲート絶縁膜突抜けの問題から薄膜化は100nmくらいが限界である。したがって、微細化するゲート長加工に伴い、露光に必要なレジスト膜厚404は薄くなるにも関わらず、被エッチング膜(BARC、BARL、ハードマスク、ゲート電極)の厚さは変化しないため、BARCエッチでの細線化では、エッチング処理時に必要なレジスト膜厚403が不足するという問題が2003年より発生することが明らかになった(図4b)。図2(b)のようなBARLを用いたサンプルの場合も、BARLとpolySiをエッチングするのに必要な膜厚を予測すると同様な結果が得られる。また、BARCエッチのみで細線化する場合、図5に示した模式図にあるように、STI段差の上部503と下部505でオーバーエッチ量が異なるため、一様に50nm細線化することは出来ず、オーバーエッチの多く、BARC膜厚のもっとも薄い段差部分502で細くなりすぎて断線が起ってしまうという問題が生じた。一方、特開平6-209018、特開平5-136402に開示されるマスク構造やプロセスフローの工夫による細線化法では、プロセス工程の増加によるチップコスト増加、トータルスループット低下が問題となる。また、特開平8-78400に開示されたようなレジスト細線化方法で、使用されるF系のガスをを用いてゲート電極で異方性を得るためには、実際はRFバイアスを印加せねばならず、レ

ジスト厚さも異方性となってしまうため、薄膜化していくレジスト厚さに対応できない。また、本方法では、マスクの細線化量がゲート電極部分より早いいため、ゲート電極形状が順テーパ状に成りやすくCD制御が困難であった。また、ゲート電極における細線化方法だが、 SiO_2 1nm程度まで薄膜化していく中、下地選択性を保ちつつ、サイドエッチングを利用するため、細線化量20nm～30nm程度が下地抜けの限界であり、50nmも細線化することは困難である。さらに、レジスト細線化工程、BARC細線化工程、ゲート電極細線化工程をそれぞれ異なる装置で処理し、装置間の搬送を大気中で行うという従来の方法の場合、装置異物、大気搬送異物が増加するという問題が発生する。そして、その問題を回避するため洗浄工程を挿入した場合においても、トータルスループットの低下や、COO増加による半導体製造におけるコスト上昇の問題がおこる。そして、ArFレジストの場合、図6(a)に示すように、側壁の面荒れ(ラフネス) 601が発生しやすいとの報告もあり、ゲート寸法のばらつきを抑えるためにもこのラフネスを低減する必要がある。以上の課題を踏まえ、本発明は、露光限界を超えた50nmゲート電極の寸法加工を高歩留まりで実現するエッチング方法を提供することを目的とするものである。

【0005】

【課題を解決するための手段】2003年以降予想される微細化に伴うレジストの薄膜化の問題とゲート電極細線化での下地抜けに起因する細線化量不足の問題は、レジスト選択性の高いゲート電極細線化技術とマスク形成における細線化を併せて使用することで解決することができる。特に、BARCエッチにおけるSTI段差起因の寸法変動は、BARCエッチングのオーバエッチング時に反応生成物が不足するため細線化量が増加することに起因する。すなわち、オーバエッチング量の違いが細線化量ばらつきの原因となる。したがって、STI形成工程での段差低減

$$(\text{ゲート電極膜厚}) \times (\text{レジスト選択比}) \times (\text{マスク端と中心部の比}) + (\text{安全を見こんだ膜厚}) \dots\dots (式1)$$

で計算される。本実施例の場合は、 $100 \times 3 \times 2/3 + 20 = 220$ nmとなる。(ゲート電極膜厚 100nm、レジスト選択比 3、マスク端部と中心部の比2/3、安全残り量20nmで計算。)したがって、マスク細線化工程においてはレジスト削れ量を80nm以下に抑えなければならない。まず、ゲート用UHF-ECRエッチング処理室Aで、 O_2 プラズマを用いたレジスト細線化工程では、レジストエッチングレートと細線化量の比を1/1が得られた。この条件で、まず、レジスト細線化量を20nm処理した。この時、レジスト残りは280nmとなっていた。次に、同じゲート用UHF-ECRエッチング処理室Aで、 $\text{O}_2/\text{CF}_4/\text{Ar}$ ガスを用いて、BARCエッチングを行うとBARCのエッチング速度と細線化量の比は3/1であった。ここで、ガス組成比とRFバイアスを調整したBARCエッチによる細線化量を20nmとしたところ、レジスト残りは220nmとなり、ゲート電極エッチング細

の他に、BARCエッチングのオーバエッチングを必要最低限にすることで細線化のばらつきを低減し、高精度加工が実現できる。また、本方法を用いることで、特殊なマスク構造、ゲート構造の変更が不要であるため半導体製造工程の複雑化の問題も解決することができる。一方、歩留まりを低下させる主原因である装置間搬送で発生する異物、汚染の問題は、マスク細線化工程、ゲート電極エッチング細線化工程を真空中で行うことで低減することができる。さらに、ドライクリーニング工程も真空中で行うことで、ドライエッチングで残留するハロゲン化水素化合物の吸水を防止でき、ウェット洗浄の省略、簡素化ができるため、洗浄工程挿入によるスループットの低下や洗浄溶液COO増加の問題を解決することができる。その上、寸法検査工程または、汚染検査工程も真空中で行い、検査工程の結果によって、次の工程の条件を調整することで、高精度に寸法を制御でき、かつ、高歩留まりな50nmレベル微細ゲート加工を実現することができる。ArFレジストにおけるラフネスは、図6(b)に示した大気で加水分解に起因するものと考えられる。したがって、大気に晒さない本方法によって、ArFレジストのラフネスの問題を解決することができる。

【0006】

【発明の実施の形態】〈実施例1〉マスク細線化とゲート細線化を同一処理室で異なる条件で処理する場合の実施例を示す。図1(a)は、マスク形成工程後、マスク細線化工程とゲート電極エッチング細線化工程を同じ処理室A(ゲート用UHF-ECRエッチング装置)にて処理する場合のゲート電極形成工程のフロー図である。まず、図2(a)に示したArF露光によりパターン寸法100nmに露光されたレジスト201/BARC 202/PolySi 203=300/65/100nmの膜構造のサンプルを50nmゲート長に加工する場合、図4中に示すようにゲートエッチ時に必要なマスク厚さ403は、

線化工程に必要なレジスト残り量を実現することが出来た。そして、残り10nmをゲート電極エッチング細線化工程で細線化することで50nmゲートを形成することが出来る。このとき、細線化されたゲート電極の断面形状の加工例を図7に示す。ゲートエッチング条件と切り替えタイミングによって、図7に示した形状を実現することができる。図7(a)の形状の場合、レジスト701とBARC702をマスクにして、側壁保護膜704を形成しながら、従来のようにpolySi703を垂直にエッチングし、その後、側壁保護膜704が形成されない条件に変更して、オーバエッチングで細線化を行う。細線化を行うオーバエッチング条件は、下地選択性が高く、サイドエッチが入りやすい条件、例えば、 HBr/O_2 、 HCl/O_2 または $\text{HCl}/\text{O}_2/\text{HBr}$ のガス系を使用することで得られる。側壁保護膜704を形成するエッチング条件から側壁保護膜なし条件への切り替え

タイミングをエッチング時間や干渉膜厚計等によって検知制御することで、細線化高さ705を変化させることが出来る。このような方法で、レジスト701とBARC702のマスク寸法709より10nm細いゲート長708が形成できた。ゲート電極エッチングの時、側壁保護膜なし条件を省略すると、図7(b)に示すようなノッチ710により、10nm細線化されたゲート電極が形成できる。また、エッチング初めから側壁保護膜なし条件にて垂直形状を形成し、オーバエッチングでゲート全体を細線化することで、図7(c)に示す構造のゲート電極を形成することが出来た。以上のゲート電極形成工程を同一処理室で異なる条件で連続処理を行った場合、従来の個別装置を大気搬送する方法に比べて、異物数は1/6程度までに低減できた。ま

$$(2 \times (\text{被エッチング膜厚}) + 20 + (\text{細線化量}) \times 3) \dots\dots (式2)$$

のレジスト厚さが必要である。すなわち、露光工程後のレジスト膜厚が、(式2)のレジスト膜厚以下の場合には、BARC細線化のみでは細線化することができず、細線化に複数の処理室、または複数のエッチングステップが必要となり本発明の適用が必要となる。特に、上記の実施例で示したように、露光寸法100nmから50nm以上細線化し、50nm以下のゲート長を高歩留まりで形成するのに本発明は必要となる。

〈実施例2〉レジスト細線化とゲート細線化、アッシング工程を異なる処理室で処理する場合の実施例を以下に示す。加工例として図2(c)に示したArF露光によりパターン寸法100nmに露光されたレジスト 201/BARC 202/TEOS 208/PolySi 203=300/65/50/100nmの膜構造のサンプルを50nmゲートに加工する場合を以下に示す。この場合、レジストはTEOS 208エッチングまで残らなければならない。TEOS 208エッチングに必要なレジスト膜厚は、 $50 \times 2 \times 1 \times 2 / 1 + 20 = 220\text{nm}$ …… (式3)である。(レジスト選択比1、マスク端部と中心部の比(ファセット係数)2/1、TEOSオーバエッチ100%(STI段差50nmを想定)、安全残量20nmで計算。)

したがって、TEOSエッチング前までに80nmのレジスト削れ量に抑える必要があり、実施例1に示したレジスト細線化とBARC細線化をUHF-ECRゲート機(処理室A)で行うことで、レジスト残量をTEOSエッチに必要なレジスト

た、レジスト細線化とBARC細線化を真空中で行ったことで図6(b)に示すようにレジストの加水分解が抑制され、図6(c)に示すように、ライン幅のラフネスを低減する効果が確認された。さらに、BARCにおける細線化量を低減したことで、STI工程で発生する段差209部のBARC膜厚の薄い部分210とBARC膜厚の厚い部分211の寸法差を2nm以下に低減できた。また、実施例1に示したレジスト/BARCマスクを使用する場合のレジスト厚さと細線化量の関係を整理すると、被エッチング膜であるpolySiに必要なレジスト膜厚が(式1)より、 $(2 \times (\text{被エッチング膜厚}) + 20)\text{nm}$ 、BARCエッチのエッチングレートと細線化量の比が3であるため、BARC細線化する前までに、

膜厚で達成することが出来る。そして、図1(b)に示すように、レジストとBARC細線化工程を処理室Aで行った後、酸化膜用エッチング処理室(処理室B)でTEOS208の垂直エッチングを行い、処理室Cにてレジストを除去した後、再び処理室Aにて10nmのゲートエッチング細線化工程を行い、50nmゲートを形成した。ここで、TEOSでの寸法が太る条件の場合は、その太り量をキャンセルするようにゲートを細線化させることで50nmゲートを作成することができる。また、図8(b)に示すように、レジスト細線化工程を処理室C(例: ICPプラズマアッシャ)、BARC細線化工程とTEOSエッチング工程を処理室B(酸化膜用UHF-ECR処理室)、アッシング工程を処理室C、ゲートエッチング細線化工程を処理室Aで行っても同様である。この場合も処理室B-C、C-A間の搬送を大気中に晒すことなく、真空中で搬送して行った。また、図8(b)中のレジスト細線化とBARC細線化とTEOSエッチングを同一処理室B(酸化膜用UHF-ECR処理室)でまとめて行うことも可能である。このように、各処理室間を真空中で搬送し、処理することで装置異物量を従来用いられている個別装置、大気搬送の方法に比べて、約半分に低減することが出来た(表2)。

【0007】

【表2】

表2

	マスク トリミング	寸法 測定	BARC エッチング	ゲートエッチング トリミング	合計
個別装置	30個	10個	30個	30個	100個
本発明	15個	5個	15個	15個	50個

この時の歩留りを、チップ取得数500個/1ウェーハ、異物のうち半分は加工前に付着する($\times 0.5$)異物の付着場所により半分はチップに影響しない($\times 0.5$)と仮定して計算してみると3%の歩留まり向上となり、チップ単

価¥1000とすると、1ウェーハあたり¥15000の利益が得られる。また、上記に示したレジスト/BARC/ハードマスクを使用する場合に必要なレジスト厚さと細線化量の関係を整理すると、この場合の被エッチング膜であるTEOSエ

ッチに必要なレジスト膜厚は、(式3)より $((\text{被エッチング膜厚}) \times 4 + 20) \text{ nm}$ 、BARCエッチのエッチングレートと細線化量の比が3であるため、BARC細線化する前までに、 $((\text{被エッチング膜厚}) \times 4 + 20 + (\text{細線化量}) \times 3) \dots\dots$ (式4)のレジスト厚が必要である。すなわち、露光工程後のレジスト膜厚が、(式4)のレジスト膜厚以下の場合、BARC細線化のみでは細線化することができず、細線化に複数の処理室、または複数のエッチングステップが必要となり本発明の適用が必要となる。以上に示すように、マスクやゲート電極材料が種類の異なる多層膜から構成される場合は、異なる処理室を用い、各処理室間を真空搬送する方法が有効である。他の本方法が適用可能なゲート構造として、PR/BARC/SiN/WSi/Poly、PR/BARC/SiN/W/WN/PolyやPR/BARC/TEOS/polySi/SiGe等のハードマスク多層ゲートが挙げられる。これらの場合PR/BARC/SiNやPR/BARC/TEOS等のマスク部分を酸化膜用処理室で、WSi/Poly、W/WN/polySi、polySi/SiGeをゲート用処理室で行い、その間の搬送を真空中で行うことで同様の効果を得ることができる。次に、図2(b)に示したArF露光によりパターン寸法100nmに露光されたレジスト201/BARL 207/PolySi203=300/25/100nmのBARL膜構造のサンプルで50nmゲートを加工する場合の実施例を以下に示す。レジストマスクを残したままゲート電極

$((\text{ハードマスク膜厚}) \times 2 + 20 + (\text{BARL膜厚}) \times 2.4) \dots$ (式6)

のレジスト膜厚が必要である。すなわち、露光工程後のレジスト膜厚が、(式6)で関係付けされたレジスト膜厚以下の場合、レジスト細線化することができず、細線化に複数の処理室、または複数のエッチングステップが必要となり本発明の適用が必要となる。本実施例では、BARLエッチングを異なる処理室で行っているが、BARL膜はSiO₂よりエッチングが容易なSiON膜であることと、膜厚も20-30nmと薄いとの理由で実施例1に示したような同一処理室でレジスト細線化、BARLエッチング、ゲート電極エッチング細線化を行っても微細ゲートを高歩留まりで加工することができる。逆に、図2(a)のサンプルの細線化も同一処理室ではなく、フォトレジ/BARCのマスク細線化工程とゲート電極細線化工程を異なる処理室で行い、それら処理室を大気に晒すことなく真空搬送を行っても同様な効果を得ることが出来る。ここで、各処理室を大気に晒すことなく真空搬送する方法として、複数処理室のクラスターモジュール化の方法がベストだが、カセットケースを真空化しても加水分解によるラフネスや変質層の抑制は可能である。また、W/Ta₂O₅等のメタルゲート構造の場合でも、Fによるサイドエッチ条件とN等による側壁保護効果を持つガスを組み合わせることでWエッチング時で図7に示すような形状を行うことができた。メタルゲートの一手法であるダマシゲート(リブレイスメントゲート)法で形成する場合は、本発明を、polySiダミーゲートを加工する工程で使用すればよい。

〈実施例3〉マスク細線化工程とゲート電極エッチング

エッチング細線化を行う場合、ゲート電極エッチ前で(式1)より220nm、BARLエッチ分を含むと $25 \times 1.2 \times 1 \times 2 / 1 = 60 \text{ nm}$ …… (式5)、計280nm必要である。(レジスト選択比1、マスク端部と中心部の比2/1、TEOSオーバエッチ30%で計算)。したがって、20nmのレジスト細線化により対応することができる。実際使用した工程を、図8(a)に示す。まず、レジスト細線化を処理室C(例: ICPプラズマアッシャ、μ波アッシャ)で20nm細線化した結果、レジスト残膜は280nmとなった。その後、BARLエッチングを処理室B(酸化膜用UHF-ECR処理室)でおこない、処理室A(ゲート用UHF-ECR処理室)で10nmゲート電極エッチング細線化を行うことで50nmゲートを形成することが出来た。また、最後に処理室C(例: ICPプラズマアッシャ、μ波アッシャ)にて、アッシング処理を加えることで、レジストを除去、また、エッチング処理時に残留したハロゲン化物を除去することが出来る。また、上記に示したレジスト/BARLを使用する場合のBARLエッチ前に必要なレジスト厚さを計算すると、PolySiエッチングに必要なレジスト膜厚量は、(式1)より $((\text{ゲート電極膜厚}) \times 2 + 20) \text{ nm}$ 、また、BARLエッチに必要なレジスト膜厚量は、(式5)より、 $((\text{BARL膜厚}) \times 2.4)$ のレジスト厚が必要である。よって、BARLエッチング前までに、

細線化工程、アッシング工程に加え、ドライクリーニング工程を真空搬送行った場合の実施例を以下に示す。ゲート細線化等でHCl、HBr等の吸湿性のハロゲン化物を使用した場合、大気に晒す前にアッシング工程を通すことで、吸水性異物を除去することができた。また、図11(a)に示すようなレジスト1101/BARC1102/SiN1103/W1104/WN1105/polySi1106から成る積層ゲートで実施例2に示すような方法で細線化をおこなった場合、WエッチをF、Cl、O、Nを含むプラズマ、polySiエッチングをCl、O、HBrを含むプラズマを用いて細線化を行う。このときの細線化されたゲート形状を図11(b)に示す。そして、エッチング細線化工程の後、真空搬送してドライクリーニング工程を行うことで、ウェーハ上に残留していたSiHClやWが大気中のH₂O、O₂と酸化反応して生成されるSiO_x、WO_xを除去でき、低接触抵抗、低コンタクト抵抗が要求されるデバイスを、歩留まりよく生産することが可能となった。

〈実施例4〉実施例1から3に示した加工例は、UHF-ECRプラズマエッチング装置を使用した。ArFラフネスやBARC細線化の寸法ばらつきの少ない、露光限界以下の50nm以下ゲート長を持つデバイスを製造するためには、他のプラズマ源のエッチング装置を使用してもよい。しかし、UHF-ECRプラズマエッチング装置は、中密度、低電子温度のためラジカルの過剰解離が抑制され、疎密差、p,n差が従来の高密度プラズマより少ない。そして、電磁石を備えているため、ICP、CCP等より面内分布制御が

容易なため、面内分布制御が容易である。この利点を用いて、UHF-ECRプラズマ処理室を用いたフィードフォワード制御を行う実施例を以下に示す。図2(c)のサンプルを細線化する場合のフロー図を図9(a)に示す。まず、実施例2に示すようにマスク細線化を行った後、真空搬送で寸法検査を行った。この寸法検査には、今回は測長SEMを使用した。他に光散乱を用いた検査法(スキャッタメトリー)、原子間力接触法(AFM)、FIBを用いたインラインサンプル抜き取り法(μ サンプリング法)等を用いても良い。この時得られたマスク細線化完了後のマスク寸法の面内分布905を図9(d)に示す。ウェーハ中心でのTEOS寸法901が端部TEOS寸法902より5nm大きい結果が得られた。この時のウェーハ中心部の断面形状の模式図を図9(b)、ウェーハの端部分の断面模式図9(c)に示す。このような結果が得られた場合、次のゲート電極エッチング細線化工程にて、ウェーハ中心部サイドエッチ量903が端部サイドエッチ量904より2.5nm大きくなるように面内分布を調整することで全体として図9(g)に示す面内で均一なゲート長を実現することが出来た。UHF-ECRエッチング装置の場合の電磁石の電流を変化させることで、容易に面内分布制御が可能である。同様な μ 波ECRエッチング装置でも可能だが、低寸法シフト、低p,n差の加工のためにはUHF-ECRがより適している。このような寸法検査は、スループット低下が問題にならないようだったら、ゲート電極細線化工程の前にいれるだけでなく、レジスト細線化工程やBARC細線化工程の後に入れ、次のエッチングの条件を調整してもよい。また、ゲート電極エッチング細線化工程が終了し、残留ハロゲンを実アッシング工程にて除去した後、寸法検査室に搬送し寸法確認した後、異物検査工程を挿入し、そこで検知した異物量によってドライクリーニング工程の条件(時間、ガス組成等)を調整することで、時間変動に対する歩留まりを向上することができた。

〈実施例5〉図7(a)(b)に示すゲート形状加工によって、低濃度拡散層を有する低濃度ドレイン構造形成工程を同一インプラで形成する実施例を以下に示す。例えば、 $10^{17}/\text{cm}^3$ 程度のP型シリコン基板1005に、実施例1-4に示した方法で図7(a)(b)のような形状のゲート電極を形成する。本発明を用いてゲート電極を形成することで、汚染、異物が少ないため、洗浄工程を省略することが可能という利点がある。その後、図10に示すように例えば打ち込みエネルギー40keV、打ち込み量 $2 \times 10^{15}/\text{cm}^2$ のヒ素イオンの打ち込みをゲート電極に対して垂直に行い高濃度拡散層1004を形成する。続いて、たとえば、打ち込みエネルギー20keV、打ち込み量 $2 \times 10^{13}/\text{cm}^2$ のリンをウェーハの角度を 30° に傾けて打ち込んで低濃度拡散層1007を形成する。このように、図7(a)に示すようなゲート電極構造を形成した後、インプラの角度1009を変化させることでスペーサ膜を成膜することなく高濃度拡散層と低濃度拡散層を連続工程で形成することができる。このと

き、ゲート電極直下に侵入している低濃度拡散層領域1008は、デバイス高速化の障害となるが、ゲート電極細線化量908と細線化高さ907とインプラ角度1009とイオン打ち込み電圧、そして拡散温度を調節することによって、低減することが出来る。

【0008】

【発明の効果】1999年度版ロードマップから前倒しされた露光限界以下の微細なゲート長の加工において、レジスト厚さが不足することなく50nm以下のゲート長を形成することが出来る。また、多工程が必要とされる細線化工程間の装置間搬送で発生する異物、汚染を低減することができ、Siウェーハ1枚あたりの歩留まりを向上することができる。同時に、ArFレジストの加水分解を防止でき、ゲート幅のラフネスを低減することが出来る。また、寸法検査結果、異物または汚染検査を加えることによって、フィードフォワード制御が可能となり、安定した歩留まりで上記ゲート構造を量産することが出来る。さらに、本発明を用いて図7(a)(b)に示した細線化ゲート構造を形成し、低濃度拡散領域と高濃度拡散領域を同一のインプラ工程で形成することで、ゲート電極後の工程数を削減し、半導体コストの低減することが出来る。

【図面の簡単な説明】

【図1】本発明を用いたゲート電極形成工程のフロー図である。

【図2】細線化工程を行う前のCMOSトランジスタのゲート電極の断面形状図である。

【図3】従来のソース/ドレイン形成工程を用いた場合のゲート電極の断面図である。

【図4】微細化するゲート長とその時の露光寸法の推移を示すグラフ、及びレジスト残膜による加工限界を示すグラフである。

【図5】BARCエッチング後のSTI段差を横切るラインを側長SEMで観測したときの模式図である。

【図6】従来法でArFレジスト細線化した場合の上部から見たデバイス中のラインの図と、その時のArFレジストの加水分解を示す化学式と、及び本発明によって細線化した場合の上部から見たラインの図である。

【図7】本発明を用いて細線化されたゲート電極の断面形状の加工例を示す図である。

【図8】本発明を適用してレジスト/BARC/PolySiのゲート膜を細線化する場合のフロー図とレジスト/BARC/TEOS/PolySiのゲート膜を細線化する場合のフロー図である。

【図9】フィードフォワード制御を用いた場合のゲート電極形成工程のフロー図とその時のゲート寸法のウェーハ面内分布と断面形状を示す図である。

【図10】本発明を適用したソース/ドレイン形成工程を用いた場合のゲート電極の断面図である。

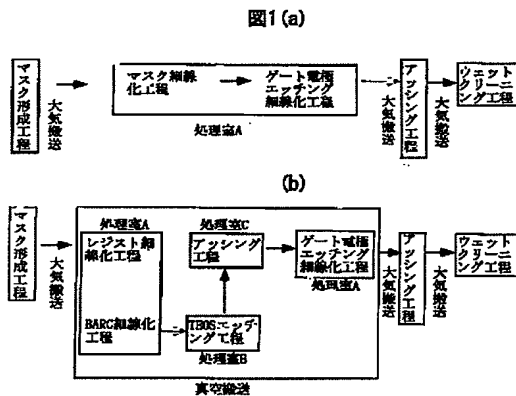
【図11】積層ゲートを細線化した場合のゲート断面形状図である。

【符号の説明】

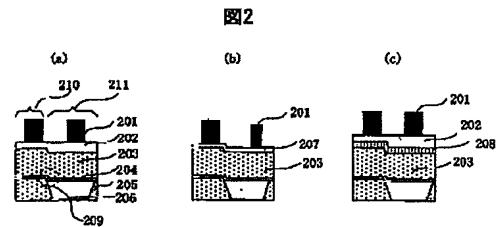
201…レジスト、202…BARC、203…Poly-Si材料、204…ゲート絶縁膜、205…Si基板、206…STI、207…BARL、208…TEOS、209…素子分離工程で発生する段差、210…BARC膜厚が薄い部分、211…BARC膜厚が厚い部分、301…TEOS、302…Poly-Si材料、303…ゲート絶縁膜、304…低濃度拡散層、305…Si基板、306…打ち込まれるイオンの軌跡、307…サイドウォールスペース、308…高濃度拡散層、401…露光寸法の推移を示す線、402…先進的なメーカのMPUゲート長の推移を示す線、403…エッチング処理時に必要なレジスト膜厚、404…露光に必要なレジスト膜厚、405…BARC細線化エッチング後のレジスト膜厚、501…STI素子分離領域（STI段差の下部領域）、502…断線したラインの段差部分、503…STI段差の上部のライン、504…STI段差上部領域（ゲート電極領域）、505…STI段差下部でのライン、601…側壁の面荒れ（ラフネス）、602…上空から観測したライン、603…水と反応する前のArFレジストの一部分の組成式、604…加水分解を

起こした部分の組成式、701…レジスト、702…BARC、703…polySi、704…側壁保護膜、705…細線化高さ、706…ゲート絶縁膜、707…Si基板、708…ゲート長、709…マスク寸法、710…ノッチ、711…サイドエッチ、901…ウェーハ中心でのTEOS寸法、902…端部TEOS寸法、903…ウェーハ中心部サイドエッチ量、904…端部サイドエッチ量、905…マスク細線化完了後のマスク寸法の面内分布、906…ゲート細線化完了後のゲート寸法の面内分布、907…細線化高さ、1001…TEOS、1002…polySi、1003…ゲート絶縁膜、1004…高濃度拡散層、1005…Si基板、1006…打ち込まれるイオンの軌跡、1007…低濃度拡散層、1008…ゲート電極直下に侵入している低濃度拡散層領域、1009…ウェーハの角度（イオン打ち込み角度）、1101…レジスト、1102…BARC、1103…SiN、1104…W、1105…WN、1106…PolySi、1107…ゲート絶縁膜、1108…Si基板、1109…細線化されたSiNマスク、1110…細線化されたPolySi。

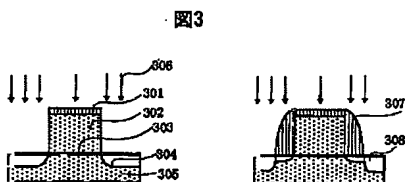
【図1】



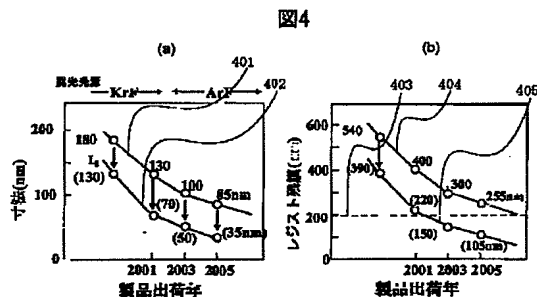
【図2】



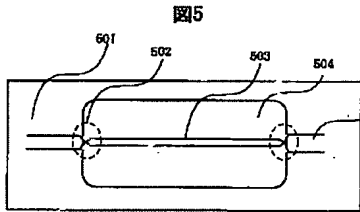
【図3】



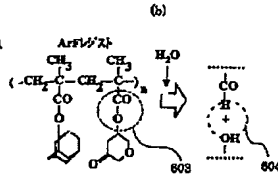
【図4】



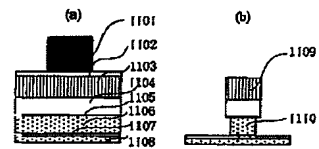
【図5】



【図6】



【図11】



【図7】

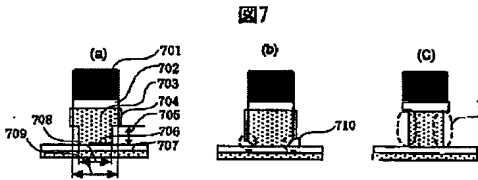


図8(a)

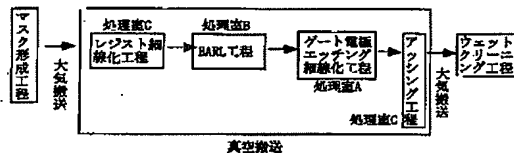
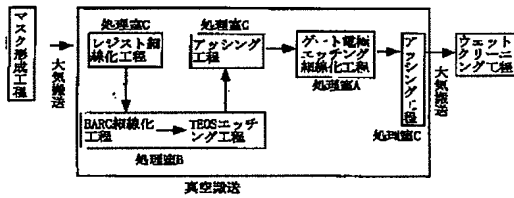
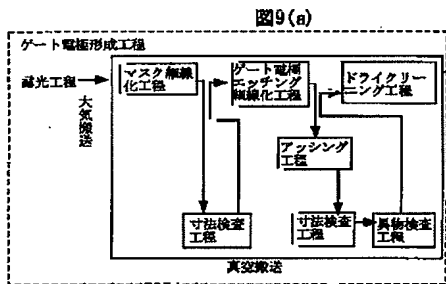


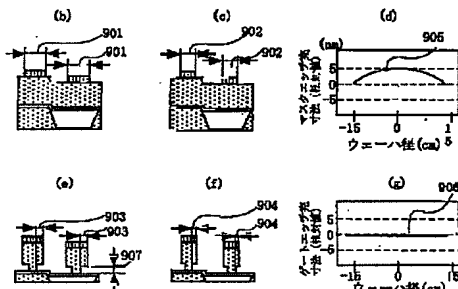
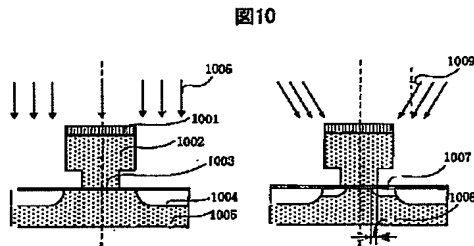
図8(b)



【図9】



【図10】



(11) 冊2003-77900 (P2003-77900A)

フロントページの続き

(72)発明者 伊澤 勝
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

F ターム(参考) 4M104 BB01 BB18 CC05 DD65 DD71
EE05 EE16 EE17 GG09 HH14
5F004 AA02 BA14 BA20 BC01 BC06
BC08 BD01 BD03 BD07 CA01
CA03 DB00 DB02 DB03 DB26
EA22 EB08 FA02
5F140 AA39 AA40 BA01 BF01 BF04
BF11 BF14 BF18 BF20 BF21
BF27 BF42 BG08 BG20 BG22
BG38 BG39 BH15 BK03 BK13
BK14 CE10 CE14